

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-169262
 (43) Date of publication of application : 14.06.1994

(51) Int. Cl. H03M 13/12
 G11B 20/18

(21) Application number : 04-2 2 (71) Applicant : TOSHIBA CORP
 (22) Date of filing : 08.0 32 (72) Inventor : KITAORI MASASHI

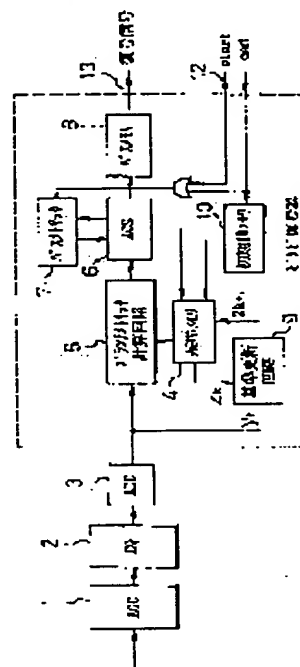
(54) VITERBI DECODER

(57) Abstract:

PURPOSE: To improve the decoding capability by using a reference level latch means to execute branch metric calculation and revising sequentially a reference level through the calculation of the reference level and an input level corresponding to a selected alive path.

CONSTITUTION: The Viterbi decoder is provided with a reference memory 4 storing a level to be referenced and a branch metric circuit 5 outputs a branch metric of each state based on a reference value and input data. An ACS 6 sums a path metric and a branch metric obtained from a path metric 7 according to a specific equation and uses a largest metric for a succeeding path metric to revise the path metric 7 and stores an alive path to a path memory 8. Then a decoding signal 13 is obtained by reading the content of the memory 8

sequentially. In this case, a reference value corresponding to the selected alive path selected by the ACS 6 is called from the memory 4 and it is calculated with respect to the input level at a reference level revision circuit 9 to revise the reference level.



LEGAL STATUS

[Date of request for examination] 06.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3258081

[Date of registration] 07.12.2001

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-169262

(43)公開日 平成6年(1994)6月14日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/12		8730-5 J		
G 1 1 B 20/18	1 0 2	9074-5 D		

審査請求 未請求 請求項の数3(全 10 頁)

(21)出願番号 特願平4-239562

(22)出願日 平成4年(1992)9月8日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 北折 昌司

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

(74)代理人 弁理士 三好 秀和 (外1名)

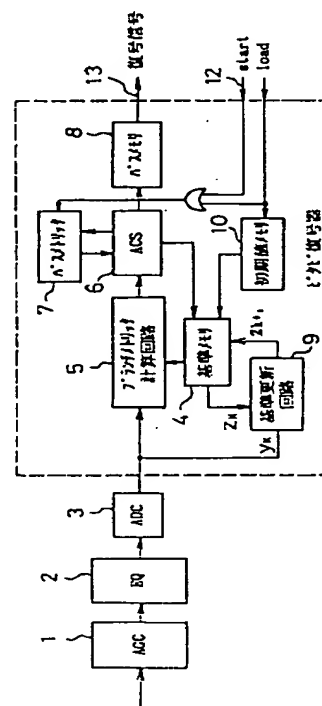
(54)【発明の名称】 ビタビ復号器

(57)【要約】

【目的】 数十シンボルといった瞬時のレベル変動に対して、常に適正な基準値によってビタビ復号を行ない、VTRに適したビタビ復号器を提供する。

【構成】 基準メモリーを備え、ACSによる生き残りパスに対応した基準値Zと入力Yとの間で $(Y + (n-1)Z) / n$ なる漸化演算を行い、この結果で基準値Zを更新する、漸化演算基準更新回路を備えている。

【効果】 復号能力を飛躍的に向上させることができる。



【特許請求の範囲】

【請求項1】 ブランチメトリック計算手段とバスメトリック保存手段とバスメトリック更新手段と生き残りバス選択保存手段を備えたビタビ復号器において、基準レベル保存手段を備え、これによってブランチメトリック計算を行うとともに、選択された生き残りバスに対応する基準レベルと入力レベルとの演算により逐次的に基準レベルを変更する漸化演算基準変更手段を設けたことを特徴とするビタビ復号器。

【請求項2】 前記漸化演算基準変更手段は、今回の基準値 Z_k と今回の入力データ Y_k との差分を求める減算手段と、この差分を所定のサンプリング数 n ($n > 1$) で割る除算手段と、該除算結果に前記基準値 Z_k を加え、この結果を次回の基準値 Z_{k+1} とする加算手段と、を有する請求項1記載のビタビ復号器。

【請求項3】 入力アナログ信号系列を複数のデジタル信号系列に変換し、それぞれのデジタル信号系列に対して復号を行う請求項1記載のビタビ復号器を複数設け、当該複数のビタビ復号器はただ一つの前記基準レベル保持手段が保持する基準レベルに基づいてブランチメトリック計算を行うとともに、ただ一つの漸化演算基準変更手段により選択された生き残りバスに対応する基準レベルと入力レベルとの演算を行い、逐次的に基準レベルを変更することを特徴とするビタビ復号器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は畳み込み符号化された情

$$b_k = a_k \cdot (+) b_{k-1}$$

これを再生すると、磁気記録系は微分特性を持っているため、再生信号 z_k は $b_k - b_{k-1}$ となり、したがってこの信号系は2つの状態 $S_k = \{+1, -1\}$ を持つて

$$z_k = b_k - b_{k-1}$$

これを状態遷移図で表すと図10となり、再生信号 z が+2のとき状態 S は-1から+1に遷移し、-2のとき状態 S は+1から-1に遷移し、また0のときは状態の遷移は起こらない。再生信号に雑音が含まれないときは検出される信号は $z_k = \{-2, 0, +2\}$ のいずれか

$$y_k = z_k + n_k$$

ここで雑音がガウス分布するならば、 y_k と z_k のユークリッド距離、すなわち $(y_k - z_k)^2$ が最小となる z_k が送信されたと推定することによって最尤復号を行うことができる。時刻 k における状態 j までの $(-1$ (ユークリッド距離)) の和の最大値は状態 j のメトリック

$$L_{k-1}^j = \max \{L_{k-1}^{j-1} - (y_k - z_{k-1}^j)^2\}$$

このとき L_{k-1}^j を与える、時刻 $k-1$ の状態 i から時刻 k の状態 j への唯一の遷移を「生き残りバス」として保存し、これを各時間 k の各状態 j において巡回的に行うのがビタビ復号である。NRZIの場合、さきに述べたように状態数は2であるので i (または j) = $\{+1,$

報を復号する最尤復号器に係わり、とくに、デジタルVTRなど磁気記録再生装置に有効なビタビ復号器に関する。

【0002】

【従来の技術】 近年、信号に含まれる情報を最大限に生かして復号を行なう最尤復号の一つの方法としてビタビ復号が多く用いられており、このビタビ復号は従来よりおもに通信分野においてさまざまな研究が行われている。一方、最近研究開発が盛んなデジタルVTRは、従来のアナログ信号に比較して数倍の情報量を持つデジタルテレビジョン信号を記録しなければならないため、その記録密度を非常に高くする必要がある。そのため再生信号の S/N 比は相当に低くなり、従来行われていたビット毎の復号は著しく困難になっている。そこで、このような低 S/N 再生信号に含まれる情報を少しでも有効に活用して復号を行うことが求められている。中でもビタビ復号は、 S/N を実効的に約3dB向上させることが理論的に明らかであるため、注目を集めている復号法である。以下にビタビ復号の最も簡単な適用として、NRZIおよびインターリーブドNRZIの復号に用いる場合を説明する。

【0003】 NRZIは図9に示したプリコードブロックで表すように入力信号 a_k と遅延信号 b_{k-1} との排他的論理和演算で b_k を作り、これを磁気記録装置に記録する。

【0004】

(1)

いることになる。

【0005】

(2)

であるため、状態遷移は一意に定まるが、次の(3)式に示すように実際に検出される信号 y_k は雑音 n_k を含んでいる。

【0006】

(3)

と呼ばれ、これを L_{k-1}^j で表す。時刻 $k-1$ における状態 i のメトリックが L_{k-1}^i であったとき、時刻 k における状態 j のメトリック L_{k-1}^j は次式で表される。

【0007】

(4)

-1}、そして基準となる $z_{k-1} = \{+2, 0, -2\}$ である。これをトレリス線図で表すと図11のようになる。

【0008】 このようにビタビ復号は、検出した信号系列に対して距離の最も小さい、したがって最も確からし

い信号系列に復号することができる最尤復号であるので、雑音に影響されにくい復号を行うことができる。したがって、ディジタルVTRなどのようなS/Nの低い系において、大きな効果が期待できる。ところで、ビタビ復号を有効に機能させるためには(3)式から明らかのように、雑音 n_i が基準レベル z_i を中心としたガウス分布と仮定できるようにしなければならない。もしも検出した信号 y_i が信号 z_i とガウス雑音 n_i 以外にレベル変動を持っていたら、メトリックの意味は失われ、正常な復号を行うことは不可能となる。したがって、ビタビ復号器の前段には、このようなレベル変動を十分に抑えるために、ゲインコントロールループ回路が不可欠である。

【0009】図12はビタビ復号器とこれを用いた再生系のブロック図である。再生信号はまずAGC(自動利得制御器)61によってレベル変動を抑制し、EQ(等化器)62で信号特性を整えた後に、ADC(アナログ/ディジタル変換器)37で6ビットディジタル信号に変換されてビタビ復号器に入力される。(ディジタルEQを用いる場合にはADCはその前段に置かれる。)ビタビ復号を行う場合、サンプリングビットは6ビットで十分であることが知られている。ビタビ復号器では、まずランチメトリック計算回路38で、入力ディジタルデータに対して各遷移に対する基準レベルとの距離、すなわちランチメトリックが計算される。つぎにACS(Add-Compare-Select)回路40により、各ランチメトリックはパスメトリック39と加算され比較された後に、最大メトリックを生じる「生き残りパス」がパスメモリー41に保存され、またこの最大メトリックによりパスメトリック25を更新する。そして、パスメモリー41の内容を順次読み出すことによってデータを復号することができる。

【0010】これに対し、インターリブドNRZIでは図13に示すように2ビット時間遅延させるプリコードを行った後に記録する。したがって、明らかに偶数ビット列と奇数ビット列を分離すればそれぞれはNRZIと見なせるために、その復号は2つのビタビ復号器によって独立して行われた後、1つの復号ビットシーケンスとなる。このブロック図を図14に示す。ここでは図12に示したADCとビタビ復号器が2つ備えられ、サンプル時間を1ビット時間Tだけずらしてディジタル化された偶数列データと奇数列データをそれぞれ独立したビタビ復号器で復号している。AGC42からパスメモリー53までは図12と基本的に同じである。それぞれの復号器で復号されたデータ系列は最後にパラレル/シリアル変換器54で一つの復号シーケンスとなる。このように2つの復号器を用いて並列に復号処理することで、ADCあるいは復号器に要求される動作速度を1/2にすることができる。

【0011】

【発明が解決しようとする課題】ビタビ復号をディジタルVTRに用いる場合に最も懸念されるのは、先に述べたレベル変動である。なぜなら、柔らかな磁気テープを高速で走査して微弱な信号を再生するVTRは、テープとヘッド間のわずかな隙間の微妙な変化によって再生信号レベルが大きく変動するという特性を持っているからである。(これはスペーシング効果として良く知られている。)したがって、通信系などで使われるよりも高性能のAGCを必要とすることは必至と考えられている。

【0012】ところが最近の研究によれば、ディジタルVTRに必要な、磁気テープと再生ヘッドの相対速度が10m/sを越えるような高速走行再生では、非常に瞬間的に(たとえば100ns程度の時間で)約2dBほどの比較的わずかなレベル変動(ここではショートドロップアウトと呼ぶ)が頻繁に発生し、これがエラーの主要因になるという報告がされている。従来、AGCにこのように高速な応答性を持たせて、安定に動作させるのはきわめて困難であるため、ディジタルVTRにビタビ復号を有効に適用させることはできなかった。

【0013】本発明はこの問題に鑑み、レベル変動に対して即座に適応し、ディジタルVTRに適するビタビ復号器を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明では、ランチメトリック計算に用いられる基準レベルを保持する手段を設け、ACSによって選択された生き残りパスに対応する基準レベル Z を読みだし、これと入力信号レベル Y に関して

$$((n-1)Z + Y) / n \quad (n > 1)$$

なる演算を行ない、この結果を新たな基準レベルとする、漸化演算基準更新手段を設けた。また、入力信号が6ビットでサンプルされるとき、 $n=4$ とした。

【0015】さらに、入力アナログ信号系列を複数のディジタル信号系列に変換し、それぞれのディジタル信号系列に対して復号を行う場合、ただ一つの基準レベル保持手段が保持する基準レベルに基づいてランチメトリック計算を行うとともに、選択された生き残りパスに対応する基準レベルと入力レベルとの演算により逐次的に基準レベルを変更する。

【0016】

【作用】上述の如く構成された本発明によれば、基準レベルはショートドロップアウトに瞬時に適応し、常に最適なレベルを維持し、これによってショートドロップアウトの影響を最小限にすることができ、VTRに対して飛躍的に誤りの少ないビタビ復号が可能となる。また、入力データを6ビットでサンプルするとき $n=4$ とすることで、ハードウェア規模は最小でかつビタビ復号の妨げにならない基準レベルの更新が可能となる。

【0017】また、インターリブドNRZIのように一つの入力アナログ信号系列を複数の系列に時分割して並

列に復号処理する場合でも、追従性良く基準レベルを更新し、正しい復号を行うことができる。

【0018】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は本発明が適用されたビタビ復号器を含む磁気記録再生装置の第1実施例の構成を示すブロック図である。

【0019】同図において、再生入力信号はAGCIによってある程度振幅変動を抑えられた後、EQ2で波形等化されADC3で6ビットデジタルデータとなる。ここまでは従来例とほぼ同様である。

【0020】そして、ビタビ復号器は基準となるべきレベルを保持した基準メモリ4を備えていて、ブランチメトリック回路5は基準値と入力データによって各状態のブランチメトリックを出力する。従来例の説明で用いたNRZIの復号例では、時刻kにおける状態iから状態jへ遷移に対する基準値は $Z_{i,j}^{(k)}$ に対応するレベルである。

【0021】ここで、基準値の初期設定の詳細について説明する。VTRは回転ヘッドがテープに接触している期間しか再生信号を得られないため、図3(a)に示すような間欠的な信号となる。この信号から再生ゲート図3(b)にしたがって再生信号を取り出す(図3

(c))。本実施例ではこの再生信号の初期部分、すなわち、図3(c)の斜線部にビタビ復号器の基準設定のための特定パターンパイロット信号が再生される。この特定パターンパイロット再生信号によってレベル変動を平均化するとともに等化器で除ききれない波形干渉や非線形歪による影響を無視し、補償することができる。本

$$Z_{i,j}^{(1)} = (Y_i + (n-1) \cdot Z_{i,j}^{(0)}) / n \quad (5)$$

図4はこの基準更新回路9のブロック図である。入力信号レベル Y_i は図示しない手段による同期クロック(CLK)によって、Dフリップフロップ(FF)31でバッファされて、減算器32で基準値 $Z_{i,j}^{(0)}$ を減じ、再びDFF33でバッファされた後に除算器34で $1/n$ に

$$(Y_i - Z_{i,j}^{(0)}) / n + Z_{i,j}^{(0)} = (5) \text{式右辺} \quad (6)$$

これをDFF36でバッファし次の $Z_{i,j}^{(1)}$ とすることで、基準レベルを更新することができる。次に、nの値による基準レベルの変動について述べる。

【0025】図5はショートドロップアウト現象をシュミレーションした様子を示している。入力信号は6ビットでサンプルされるので、デジタルデータは0から63のレベルをとる。ここでは中央の32のレベルが連続すると仮定し、このレベルに於けるS/Nを20dBとした。サンプル数は500であるが、この中で100から200および、300から400サンプルの期間はショートドロップアウトによってレベルが24まで落ち込んでいる。この100サンプル期間は、100Mbpsの再生レートだとすると、1μsに相当する。このような入力に対して本発明の実施例による基準レベルの変動

実施例では、図3(d)に示すような{0, +2, 0, -2, 0, ...}という系列となっている。再生信号が生じると直ちに初期設定制御信号11が発生し、バスメトリック7がクリアされるとともに、基準レベルが初期値メモリ10から基準メモリ4にロードされる。本実施例では、初期値は{+2, 0, -2}である。これを初期値Zとして先の特定パターンパイロット再生信号Yにより基準メモリの修正が行われる。そして、適当な位置で復号開始信号12により再びバスメトリック7がクリアされることでビタビ復号が開始される。この初期設定は本実施例に示した方法に限らず、連続した再生信号中に複数回行っても良く、またタイミングは再生信号の中央、あるいは最終部分であっても良い。

【0022】再びビタビ復号器の働きにもどると、ブランチメトリック回路5はそれぞれの状態に関して入力データ Y_i 、とのブランチメトリック、すなわち、 $\{- (Y_i - Z_{i,j}^{(k)})^2\}$ を計算する。そして、ACS6は

(4)式よりバスメトリック7から得たバスメトリック $L_{i,j}^{(k)}$ とブランチメトリックを合計し最も大きなメトリックを次のバスメトリック $L_{i,j}^{(k+1)}$ としてバスメトリック7を更新し、生き残ったパスをバスメモリ8に保存する。そしてこのバスメモリ8を順次読みだすことで復号信号13を得る。このとき、ACS6によって選択された生き残りパスに対応する基準値 $Z_{i,j}^{(k+1)}$ が基準メモリ4から呼び出され、基準更新回路9において入力レベル Y_i 、との間で次の演算を行い、基準レベルを更新する。

【0023】

される。実際はnを2の累乗(2^k)に選べば、除算器34はデータをmビットシフトさせるだけである。そして、この結果に加算器35で $Z_{i,j}^{(k)}$ を加算することで(5)式の右辺を発生することができる。

【0024】

を表したものが図6から図8であり、それぞれ、 $n=2, 4, 8$ の場合である。理想的な基準レベル変化はサンプル0から100までは32、100から200までは24、以後それを繰り返すといったものである。 $n=2$ の場合の図6によれば、基準レベルの変化の反応は早く、数サンプルの信号変化に追従しているようすがよく分かる。しかしこの場合、基準レベル変化がノイズの影響を大きく受けているため、逆にビタビ復号の障害となる。 $n=8$ の場合の図8では、ノイズの影響はほとんど無いが、基準レベルの変化時間は100サンプルを越えているためショートドロップアウトを完全に補うことはできない。そこで、本発明の実施例では図7に示した $n=4$ を用いた。

【0026】これによって、基準レベルの変化は10サ

ンプル (1 0 0 M b p s ならば約 1 0 0 n s) となり、またノイズによる影響は 1 d B 未満にすることができた。

【 0 0 2 7 】なお、過去の入力データを基に基準値を制御するものとしては、特開昭 6 2 - 1 8 1 1 8 号公報に記載されたものが公知技術として知られている。この公報に記載された技術は過去のデータの単純な平均値を取り、この平均値に伴って基準値を制御するものである。これに対し、本実施例では過去のデータを基に漸化式によって基準値を変更しているため、各データに重み付けをすることができる。従って、急激な基準値の変動に対しても迅速な対応ができるのである。

【 0 0 2 8 】次に本発明をインターリブド NRZ I に適用した第 2 実施例について説明する。図 2 は第 2 実施例の構成を示すブロック図である。これは従来例で取り上げたインターリブド NRZ I に対するビタビ検出器であり、図 1 4 に示したように入力アナログ信号系列がサンプリングタイミングの異なる 2 つの ADC 1 6 および 1 7 でデジタル化され偶数ビット列と奇数ビット列に分離される。もちろん 1 つの ADC によるデジタル信号を時間的に切替えて偶数ビット列と奇数ビット列に分離することもできる。そして、それぞれが NRZ I のビタビ検出器により復号された後に、一つの復号ビット列に合成されている。このとき、2 つのビタビ検出器に図 1 で説明した本発明によるビタビ検出器を用いることももちろん考えられるが、基準メモリと基準更新回路も 2 組必要となり、回路が大規模化するとともに、本来連続した基準レベル変動を偶数ビット列と奇数ビット列に分離して検出するため追従性を悪化させるのは明らかである。そこで請求項 3 に従って、ただ 1 つの基準メモリ 2 7 と基準更新回路 2 6 を備えこれによって 2 つのビタビ検出器で用いる基準レベルの保持と逐次的修正を行えるようにした。入力切り替えスイッチ 2 9 および 3 0 は偶数ビット列と奇数ビット列に分けられたデータの処理タイミングによって偶数ビット列用のビタビ検出器あるいは奇数ビット用のビタビ検出器に接続される。すなわち、偶数ビットが入力したとき基準更新回路はスイッチ 2 9 によってこの入力を得るとともに、スイッチ 3 0 によって ACS が選択されたバス情報を得て基準メモリを更新し、奇数ビットが入力したときはそれぞれのスイッチが切り替わることで再び基準メモリを更新する。以後これを繰り返すことでどちらかにデータが入力される度に基準メモリが更新されるため基準メモリの更新を迅速に行うことができ、ショートドロップアウトに追従性良く基準メモリを修正することができる。

【 0 0 2 9 】

【発明の効果】以上説明したように、本発明では、基準値と入力データから (5) 式の演算を行い、逐次的に漸化演算により基準値の更新を行うことによって、ショートドロップアウトの影響を除外し、適正なビタビ復号を

行うことができ、ビタビ復号器を VTR に適用したときの復号能力を飛躍的に高めることができる。

【 0 0 3 0 】また、データを 6 ビットでサンプルしたとき、(5) 式の n を 4 とすることで、簡単なハードウェアにより、数十シンボルという早いショートドロップアウトによく追従し、かつ、ノイズの影響を受けにくいビタビ復号器を構成することができるという効果が得られる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例に係るビタビ復号器の構成を示すブロック図である。

【図 2】本発明の第 2 実施例に係るビタビ復号器の構成を示すブロック図である。

【図 3】再生信号と初期設定パイロット信号を示すタイムチャートである。

【図 4】基準更新回路の詳細な構成を示すブロック図である。

【図 5】ショートドロップアウトのシュミレーションデータ系列を示す特性図である。

【図 6】 $n = 2$ の場合の漸化演算による基準値の変動を示す説明図である。

【図 7】 $n = 4$ の場合の漸化演算による基準値の変動を示す説明図である。

【図 8】 $n = 8$ の場合の漸化演算による基準値の変動を示す説明図である。

【図 9】NRZ I の信号系を示すブロック図である。

【図 1 0】NRZ I の状態図である。

【図 1 1】NRZ I のトレリス線図である。

【図 1 2】NRZ I に対する従来のビタビ復号器と再生系の構成を示すブロック図である。

【図 1 3】インターリブド NRZ I のプリコードブロックを示す図である。

【図 1 4】インターリブド NRZ I に対する従来のビタビ復号器と再生系の構成を示すブロック図である。

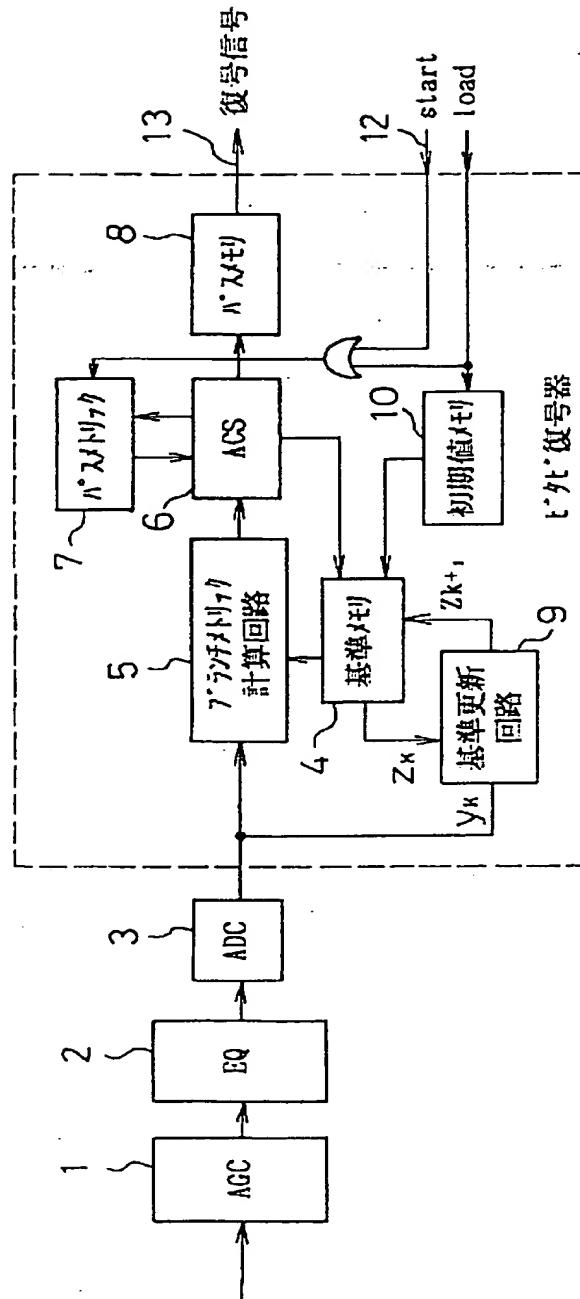
【符号の説明】

- 1 自動利得制御手段 (A G C)
- 2 等化器 (E Q)
- 3 アナログ・デジタル変換器 (A D C)
- 4 基準メモリ
- 5 ブランチメトリック計算回路
- 6 加算・比較・選択回路 (A C S)
- 7 バスメトリックメモリ
- 8 バスメモリ
- 9 基準更新回路
- 1 0 初期値メモリ
- 1 1 初期設定制御信号
- 1 2 復号開始信号
- 1 3 復号信号
- 3 1、3 3、3 6 D フリップフロップ
- 3 2 減算器

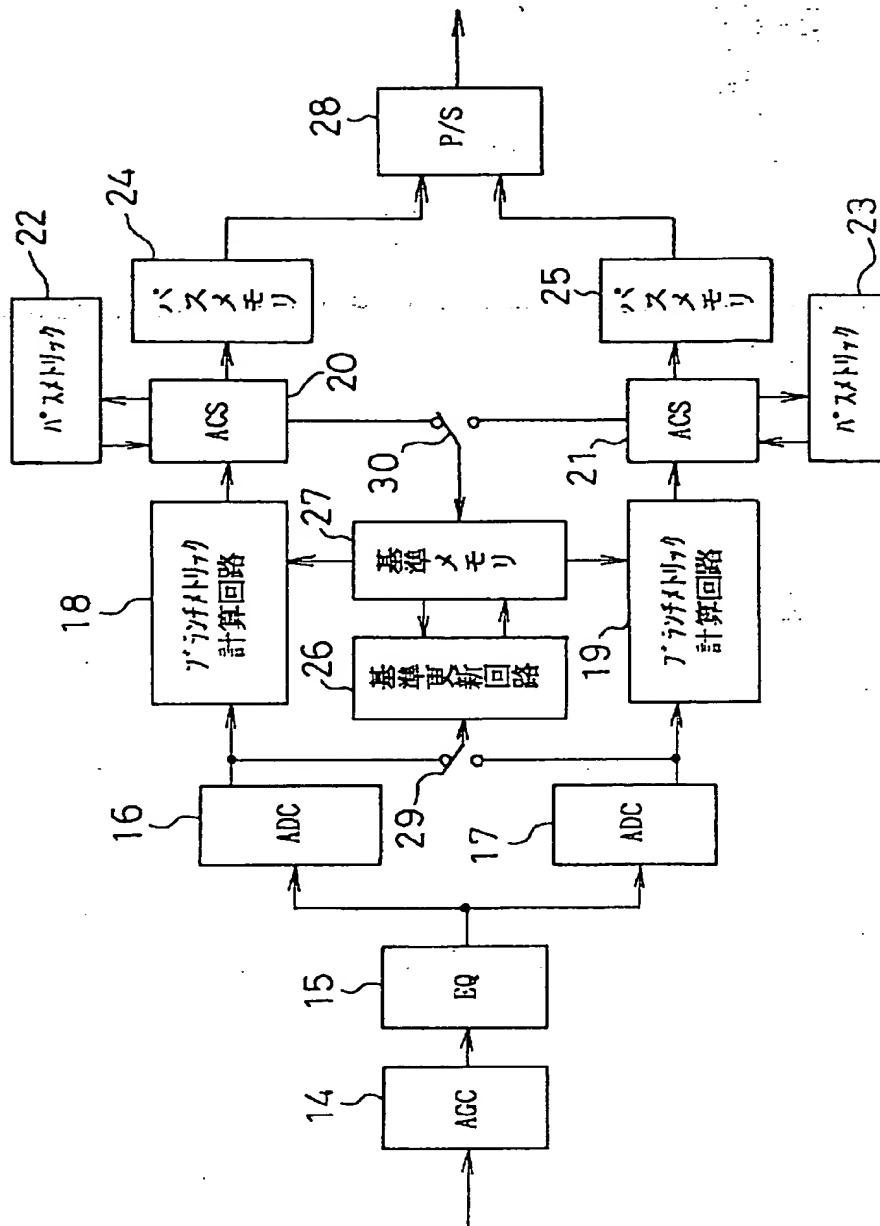
3 4 除算器 (またはビットシフト手段)

3 5 加算器

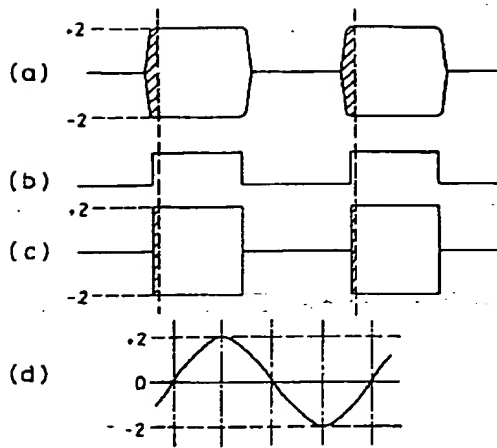
【図 1】



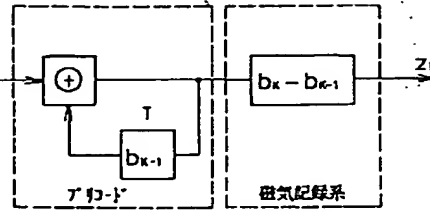
〔図 2〕



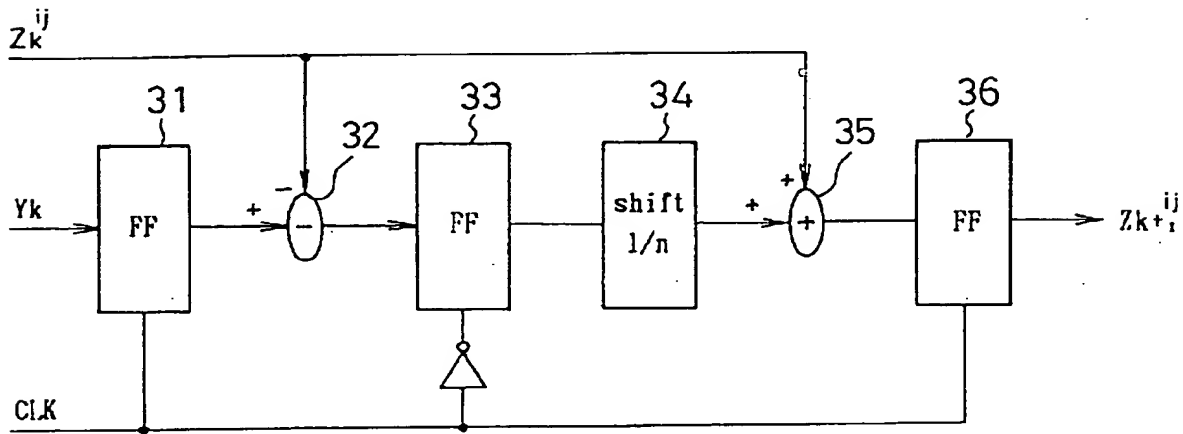
【図 3】



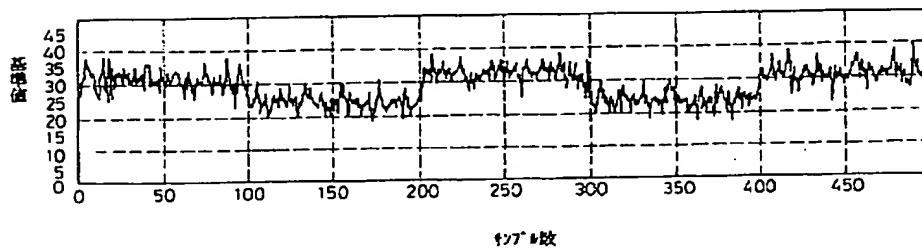
【図 9】



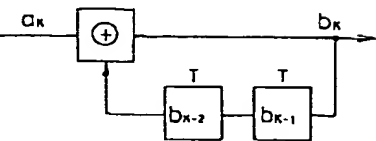
【図 4】



【図 5】



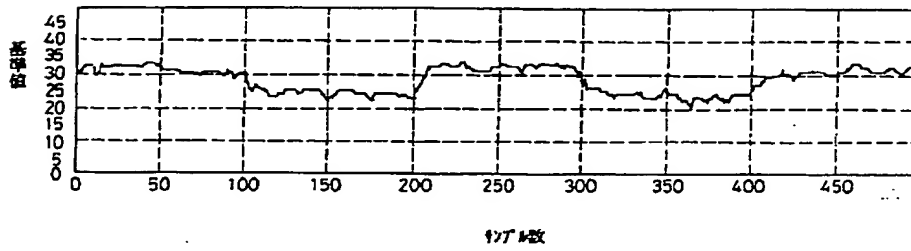
【図 13】



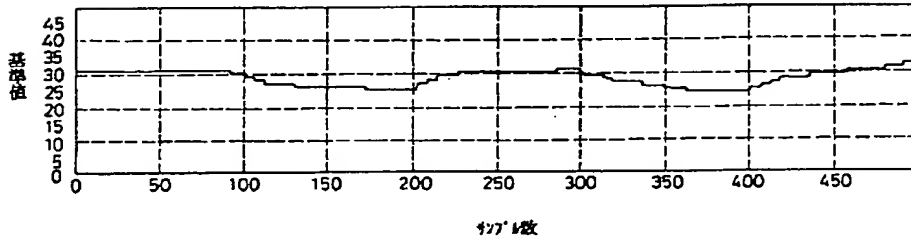
【図 6】



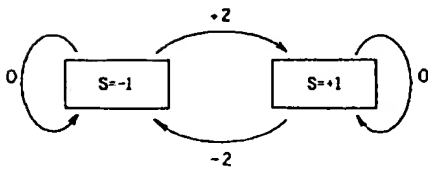
【図 7】



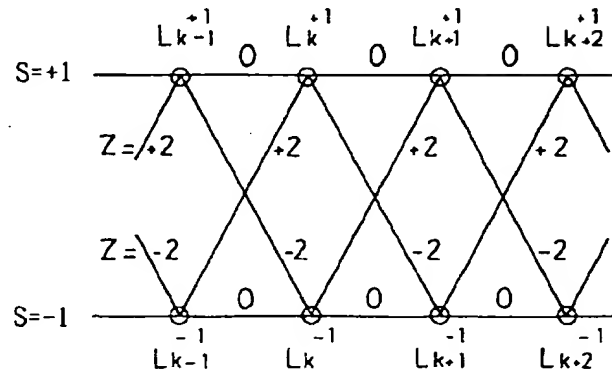
【図 8】



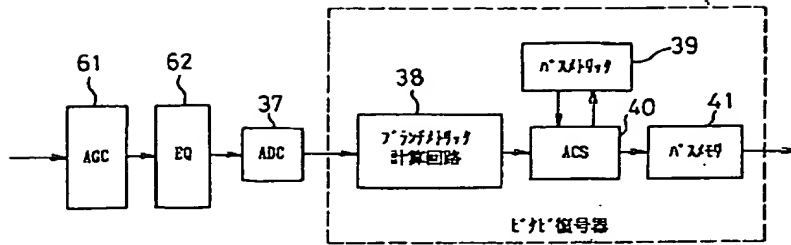
【図 10】



【図 11】



【図 1 2】



【図 1 4】

